

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-030649
 (43)Date of publication of application : 02.02.1999

(51)Int.CI.

G01R 31/28
G01R 27/02

(21)Application number : 09-185513

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.07.1997

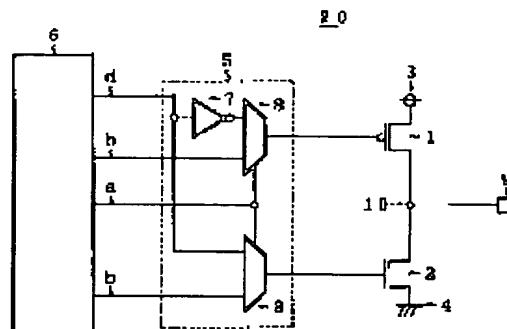
(72)Inventor : ASAII MIKIO
TAKAGI RYOICHI

(54) SEMICONDUCTOR CIRCUIT TESTING METHOD AND TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To measure voltage and a current without being influenced by contact resistance by simultaneously switching on a first semiconductor switch and a second semiconductor switch connected in series, to allow a short circuit current to flow.

SOLUTION: A transistor 1 and a transistor 2 serving as a first and a second semiconductor switches are set in an 'ON' state by a signal outputted from a measuring circuit 5 on the basis of a control signal of a control circuit 6, and a short circuit current is allowed to flow from a device power source 3 to ground 4. A voltmeter is connected to a connection point 10 to measure release voltage. Contact resistance has no influence on measurement of release voltage. The internal state of the measuring circuit 5 is set in such a way that the short circuit current from the device power source 3 supplying a current to the transistors 1, 2 does not flow to a peripheral circuit. An ammeter is connected to a series-connected transistor circuit so as to measure the through current. The device power source 3 has a large number of power source connecting pins, and the resistance value of contact resistance becomes small so as to generate no ammeter measuring error even in the case of the short circuit current flowing to a plurality of buffers.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-30649

(43)公開日 平成11年(1999)2月2日

(51)Int.Cl.⁶

G 0 1 R 31/28
27/02

識別記号

F I

G 0 1 R 31/28
27/02

M
R

審査請求 未請求 請求項の数 3 O.L. (全 7 頁)

(21)出願番号 特願平9-185513

(22)出願日 平成9年(1997)7月10日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 浅井 幹生

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 高木 亮一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

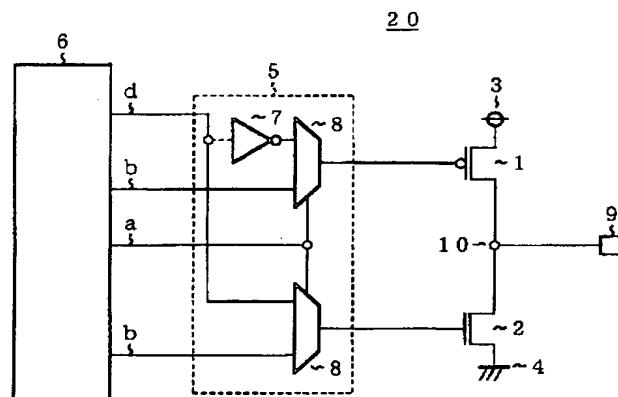
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 半導体回路のテスト方法及びテスト装置

(57)【要約】

【課題】 半導体集積回路の抵抗測定においては、接触抵抗や配線抵抗の影響によって測定誤差が生じ、この測定誤差を所望範囲内に抑えることが困難という課題があった。

【解決手段】 直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを有する半導体集積回路において、制御回路からの信号を入力して前記第1、第2の半導体スイッチを同時にオンさせる測定回路と、前記両半導体スイッチの接続点の電圧を測定する電圧測定手段と、両半導体スイッチを流れる貫流電流を測定する電流測定手段とを備えたものである。



1 : パソコン (第1の半導体スイッチ)

2 : パソコン (第2の半導体スイッチ)

3 : デバイス電源 (電源)

4 : グラウンド (アース)

5 : 測定回路

6 : 制御回路

1

【特許請求の範囲】

【請求項1】直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを同時にオン状態に設定し、この第1、第2の半導体スイッチを通じて電源からアースに貫通電流を流し、前記第1、第2の半導体スイッチの接続点に現れる開放電圧を測定するとともに、前記貫通電流が周辺回路に流れないようにして該貫通電流を測定し、前記測定した開放電圧と貫通電流に基づいて前記プルアップ抵抗値とプルダウン抵抗値を算出することを特徴とする半導体回路のテスト方法。

【請求項2】直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを有する半導体回路において、制御回路からの信号を入力して前記第1、第2の半導体スイッチを同時にオンさせる測定回路と、前記両半導体スイッチの接続点の電圧を測定する電圧測定手段と、前記両半導体スイッチを流れる電流を測定する電流測定手段とを備えた半導体回路のテスト装置。

【請求項3】電圧測定手段は、両半導体スイッチの接続点の電圧と基準電圧とを比較する差動アンプであることを特徴とする請求項1記載の半導体回路のテスト装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを有する例えばHSTLの高速小振幅入出力バッファを構成する半導体回路のテスト方法及びテスト装置に関するものである。

【0002】

【従来の技術】図10は従来の高速小振幅入出力バッファの回路図である。図において、101はプルアップ抵抗を有するトランジスタ、102はプルダウン抵抗を有するトランジスタであり、この両トランジスタは直列に接続され、トランジスタ101の一端はデバイス電源103に接続され、トランジスタ102の一端はグランド104に接続されている。

【0003】105はトランジスタ101とトランジスタ102との接続点106に接続されたパッド111の電圧と基準電圧入力パッド107に印加された基準電圧とを比較する差動アンプ、108は制御回路である。

【0004】上記構成の高速小振幅入出力バッファは、ある一定値（例えば50Ω程度）の抵抗すなわちプルアップ抵抗、プルダウン抵抗を内蔵しており、電流駆動で信号伝送を行っている。この内蔵抵抗のばらつきは信号伝送の電圧振幅等に影響するため、内蔵抵抗値を測定して、高速小振幅入出力バッファつまり半導体回路の良否をテストしている。

2

【0005】この測定を図11について説明する。制御回路108からの制御信号でトランジスタ101をオンし、トランジスタ102をオフとして、接続点106とグランド104間に電流源109を接続して実線矢印方向に電流を流し電圧計110で電圧値を測定する。次いで、制御回路108からの制御信号でトランジスタ101をオフし、トランジスタ102をオンとして該トランジスタを介して電流源109から点線矢印方向に電流を流し、接続点106とグランド104間に電圧計110を接続して電圧値を測定する。そして、この測定した電流値および電圧値に基づいてプルアップ抵抗値およびプルダウン抵抗値を算出する。

【0006】

【発明が解決しようする課題】従来の半導体回路のテスト方法及びテスト装置は以上のように構成されているので、電圧、電流の測定において、ウェハテストにおけるデバイスピードとプローブカード針間の接触抵抗や、ファイナルテストにおけるパッケージとソケット間の接触抵抗および配線抵抗等の抵抗112の影響を受け、この測定電圧、測定電流に基づいて得る抵抗値に±数十mAの測定誤差が生じ、測定精度の高いテスターを用いても所望の測定誤差±10mA程度の範囲内に抑えることが困難であるなどの課題があった。

【0007】この発明は上記のような課題を解決するためになされたもので、半導体回路の内蔵するプルアップ抵抗値およびプルダウン抵抗値を高精度に測定することができる半導体回路のテスト方法及びテスト装置を得ることを目的とする。

【0008】

【課題を解決するための手段】請求項1記載の発明に係る半導体回路のテスト方法は、直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを同時にオン状態に設定し、この第1、第2の半導体スイッチを通じて電源からアースに貫通電流を流し、前記第1、第2の半導体スイッチの接続点に現れる開放電圧を測定するとともに、前記貫通電流が周辺回路に流れないようにして該貫通電流を測定し、前記測定した開放電圧と貫通電流に基づいて前記プルアップ抵抗値とプルダウン抵抗値を算出するものである。

【0009】請求項2記載の発明に係る半導体回路のテスト装置は、直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを有する半導体回路において、制御回路からの信号を入力して前記第1、第2の半導体スイッチを同時にオンさせる測定回路と、前記両半導体スイッチの接続点の電圧を測定する電圧測定手段と、前記両半導体スイッチを流れる電流を測定する電流測定手段とを備えたものである。

【0010】請求項3記載の発明に係る半導体回路のテ

3

スト装置の電圧測定手段は、両半導体スイッチの接続点の電圧と基準電圧とを比較する差動アンプである。

【0011】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による高速小振幅入出力バッファ20の回路図である。図において、1はプルアップ抵抗を有する第1の半導体スイッチとしてのP形トランジスタ、2はプルダウン抵抗を有する第2の半導体スイッチとしてのN形トランジスタであり、この両トランジスタは直列に接続され、トランジスタ1の一端はデバイス電源（電源：VDDQ）3に接続され、トランジスタ2の一端はグランド（アース：GND）4に接続されている。5は制御回路6からの制御信号を受けて、前記トランジスタ1とトランジスタ2とを同時にオンさせる信号を出力する測定回路である。この測定回路5はインバータ7とセレクタ8、8とで構成されている。9はトランジスタ1とトランジスタ2の接続点（パッド端子）10に接続したパッドである。

【0012】次に動作を図2のフローチャートについて説明する。まず、制御回路6からの制御信号に基づいて測定回路5から出力された信号でトランジスタ1とトランジスタ2をオン状態に設定し、デバイス電源3からグ

$$R_{up} = (VDDQ - V_{pad}) \div I$$

$$R_{down} = V_{pad} \div I$$

ここで、VDDQはデバイス電源3の電圧値

【0015】以上のように、実施の形態1によれば、直列に接続されたプルアップ抵抗を有するトランジスタ1とプルダウン抵抗を有するトランジスタ2を同時にオンして、デバイス電源3からグランド4に貫通電流を流すことにより、配線抵抗、接触抵抗の影響を受けることなく、電圧測定および電流測定を行うことができる。この結果、この測定電圧および測定電流に基づいてプルアップ抵抗とプルダウン抵抗を高精度に算出することができる。

【0016】実施の形態2. 図5はこの発明の実施の形態2による高速小振幅入出力バッファ20の回路図である。図において、13はトランジスタ2と同形のN形トランジスタ、14はトランジスタ2、13を同時にオンオフさせるための信号を出力する測定回路であり、セレクタ8、8で構成されている。

【0017】以上のように、実施の形態2によれば、同形のトランジスタを直列に接続したので、このトランジスタを同時にオンオフさせる測定回路14をセレクタのみの簡単な構成で実現できる。動作および効果は前記実施の形態1と同一であるので重複説明を省略する。

【0018】実施の形態3. 図6はこの発明の実施の形態3による高速小振幅入出力バッファの回路図である。図において、15は異なる電圧を出力するテストドライバ、16は接続点10の電圧と基準電圧入力パッド17

4

ランド4に貫通電流が流れるようにする（ステップST1）。しかる後、図3に示すように、トランジスタ1とトランジスタ2の接続点10に電圧計（電圧測定手段）11を接続して、その接続点10に現れる開放電圧Vpadを測定する（ステップST2）。このとき、接触抵抗33が開放電圧Vpadの測定に影響することはない。

【0013】次いで、上記トランジスタ1とトランジスタ2に電流供給をしているデバイス電源3からの貫通電流が周辺回路には流れないように測定回路5の内部状態を設定する（ステップST3）。この状態において、図4に示すように、直列に接続されたトランジスタ回路に電流計（電流測定手段）12を接続して貫通電流を測定する（ステップST4）。この場合、デバイス電源3には、電源接続ピン（図示せず）が多数本あるため、接触抵抗33の抵抗値は極めて小さくなり、複数バッファに貫通電流が流れても電流計による測定誤差とはならない。次いで、上記のようにして測定した電流値Iと電圧値Vpadを以下の（1）式に代入して、プルアップ抵抗値Rup、プルダウン抵抗値Rdownを算出する（ステップST5）。

【0014】

... (1)

を介してテストドライバ15から入力される基準電圧を比較する差動アンプ、18は制御回路6、出力モニタパッド19を介して前記差動アンプ16の出力を検知するテスタコンパレータであり、他の構成は前記図1に示す実施の形態1と同一であるから同一部分には同一符号を付して重複説明を省略する。

【0019】次に動作を図7のフローチャートについて説明する。まず、制御回路6からの制御信号に基づいて測定回路5から出力された信号でトランジスタ1とトランジスタ2をオン状態に設定し、デバイス電源3からグランド4に貫通電流が流れるようにする（ステップST11）。しかる後、差動アンプ16の基準電圧入力パッド17にテストドライバ15から所定の電圧Vrefを印加する（ステップST12）。

【0020】このように差動アンプ16の基準電圧入力パッド17にテストドライバ15から所定の電圧Vrefを印加しながら、テスタコンパレータ18で差動アンプ16の出力をモニタする。出力が反転した時の電圧Vpadを測定結果として記憶する（VrefminからVrefmaxまで電圧を変える間に接続点10に現れる電圧値を横切った時に反転する）（ステップST13）。

【0021】次いで、上記トランジスタ1とトランジスタ2に電流供給をしているデバイス電源3からの貫通電流が周辺回路には流れないように測定回路5の内部状態

5

を設定する（ステップST14）。そして、前記図4に示すように、直列に接続されたトランジスタ回路に電流計12を接続して貫通電流を測定する（ステップST15）。

【0022】次いで、上記のようにして測定した電流値Iと電圧値V_{pad}を前記(1)式に代入して、プルアップ抵抗値R_{up}、プルダウン抵抗値R_{down}を算出する（ステップST16）。

【0023】以上のように、実施の形態3によれば、双方面バッファが備えている差動アンプ16を利用して電圧を測定することにより、電圧測定のために電圧計を用意しなくてもよいものである。

【0024】実施の形態4、図8はこの発明の実施の形態4による高速小振幅入出力バッファの回路図である。図において、20～22はそれぞれ同一構成の高速小振幅入出力バッファであり、制御回路5に接続されている。各高速小振幅入出力バッファの構成は、前記図4に示した実施の形態2の構成と同じであるから、同一部分には同一符号を付して重複説明を省略する。

【0025】図9は実施の形態4における各高速小振幅入出力バッファの測定動作を説明するタイミングチャートであり、図示した測定ポイントにおいて、各高速小振幅入出力バッファ毎に順次測定を行うもので、このとき測定を行わない高速小振幅入出力バッファに対しては、制御回路からは電流を流すに必要な信号を供給しない。この結果、測定すべき高速小振幅入出力バッファ以外の周辺回路には電流が流れない状態に設定することができる。なお、上記各実施の形態における測定回路5の入力線上に記載した英字符串は、図9のタイミングチャートに示す信号が測定モード時に制御回路6から供給されることを示している。

【0026】

【発明の効果】以上のように、請求項1記載の発明によれば、直列に接続されたプルアップ抵抗を有する第1の半導体スイッチとプルダウン抵抗を有する第2の半導体スイッチとを同時にオンさせて貫通電流を流すように構成したので、配線抵抗、接触抵抗の影響を受けることなく、電圧測定および電流測定を行うことができる。この結果、この測定電圧および測定電流に基づいてプルアップ抵抗とプルダウン抵抗を高精度に算出することができる効果がある。

【0027】

請求項2記載の発明によれば、制御回路か

6

らの信号を入力して前記第1、第2の半導体スイッチを同時にオンさせ、それ以外の周辺回路に電流を流さないようにする測定回路を備え、前記両半導体スイッチの接続点の電圧を電圧測定手段で、また、前記両半導体スイッチを流れる貫通電流を電流測定手段で測定するように構成したので、配線抵抗、接触抵抗の影響を受けることなく、電圧測定および電流測定を行うことができる。この結果、この測定電圧および測定電流に基づいてプルアップ抵抗とプルダウン抵抗を高精度に算出することができる効果がある。

【0028】請求項3記載の発明によれば、直列接続された半導体スイッチの接続点の電圧と基準電圧とを差動アンプで比較して電圧を測定するように構成したので、電圧測定手段を用いることなく電圧測定ができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による高速小振幅入出力バッファの回路図である。

【図2】 実施の形態1における測定動作を説明するフローチャートである。

【図3】 電圧測定状態を示す回路図である。

【図4】 電流測定状態を示す回路図である。

【図5】 この発明の実施の形態2による高速小振幅入出力バッファの回路図である。

【図6】 この発明の実施の形態3による高速小振幅入出力バッファの回路図である。

【図7】 実施の形態3における測定動作を説明するフローチャートである。

【図8】 この発明の実施の形態4による高速小振幅入出力バッファの回路図である。

【図9】 実施の形態4における各高速小振幅入出力バッファの測定動作を説明するタイミングチャートである。

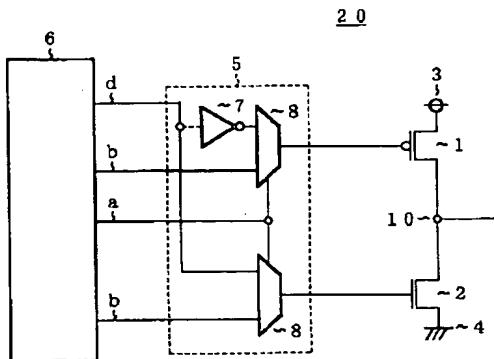
【図10】 従来の高速小振幅入出力バッファの回路図である。

【図11】 図10の測定状態を示す回路図である。

【符号の説明】

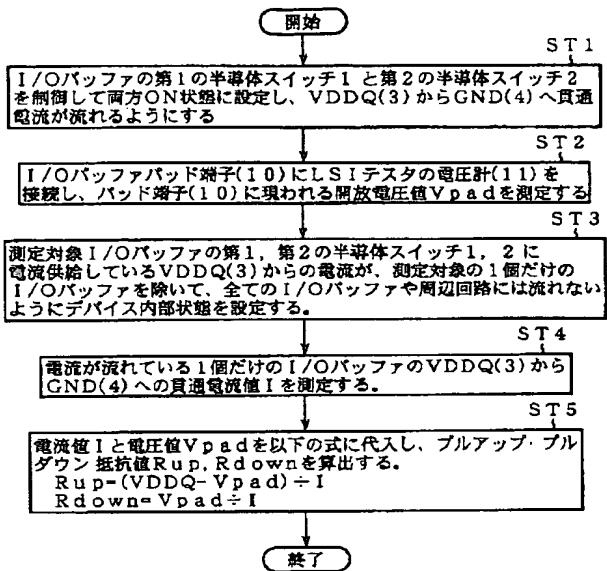
1 トランジスタ（第1の半導体スイッチ）、2 トランジスタ（第2の半導体スイッチ）、3 デバイス電源（電源）、4 グランド（アース）、5 測定回路、6 制御回路、11 電圧計（電圧測定手段）、12 電流計（電流測定手段）、16 差動アンプ。

【図1】

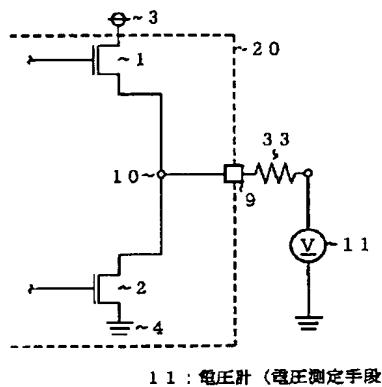


- 1 : テランジスタ（第1の半導体スイッチ）
2 : テランジスタ（第2の半導体スイッチ）
3 : デバイス電源（電源）
4 : グラウンド（アース）
5 : 測定回路
6 : 制御回路

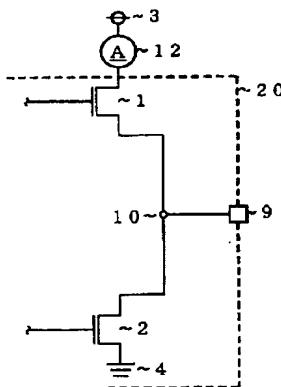
【図2】



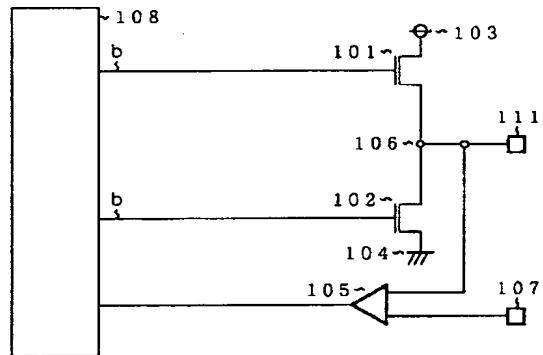
【図3】



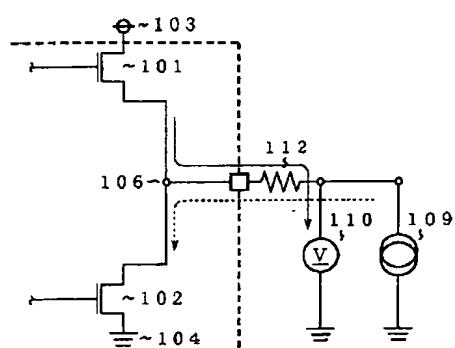
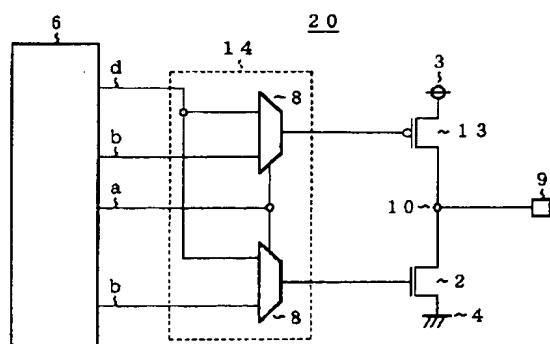
【図4】



【図10】

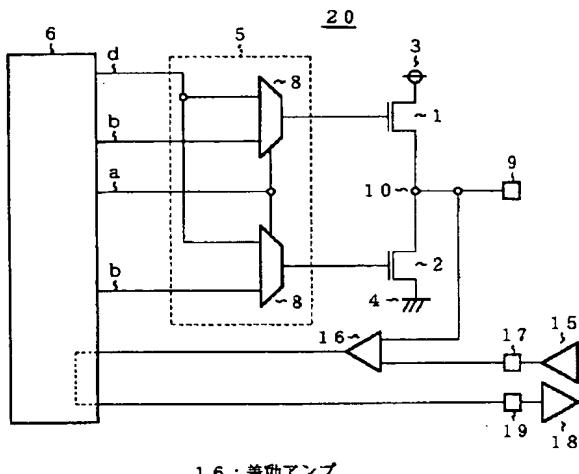


【図5】



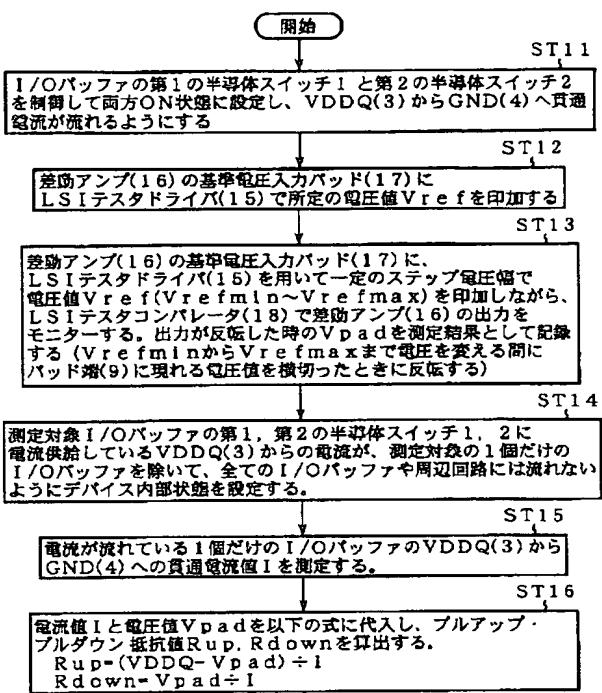
【図11】

【図6】

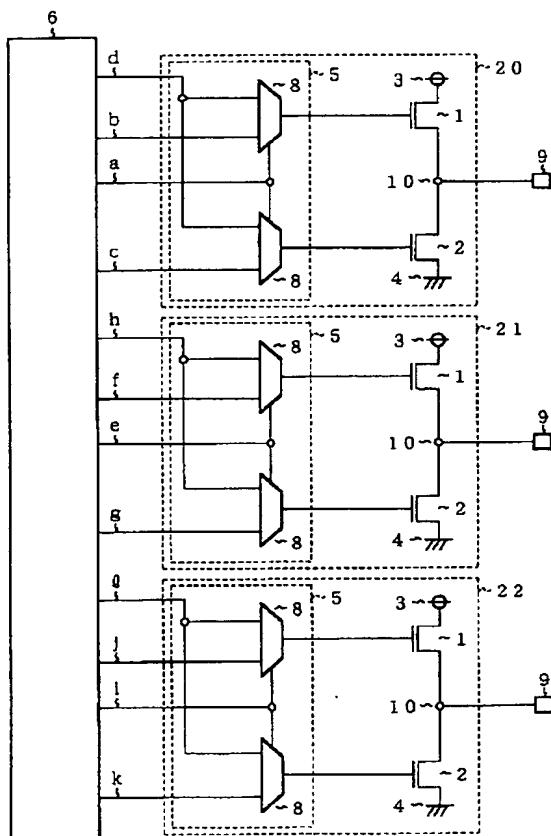


16 : 差動アンプ

【図7】



【図8】



【図9】

